



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Minari ARAI**  
Filed : **December 5, 2003**  
For : **SEMICONDUCTOR INTEGRATED...**  
Serial No. : **10/729,457**  
Art Unit :  
Examiner :

Director of the U.S. Patent and  
Trademark Office  
P.O. Box 1450  
Alexandria, VA 22313-1450

January 6, 2004

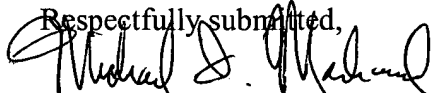
**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Applicant hereby submits a certified copy of **JAPANESE** patent application no.  
2002-354993 filed December 6, 2002, from which priority was claimed in a priority  
claim filed on December 5, 2003.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-  
1290.

Respectfully submitted,

  
Michael I. Markowitz  
Reg. No. 30,659

KATTEN MUCHIN ZAVIS ROSENMAN  
575 MADISON AVENUE  
IP Department  
NEW YORK, NEW YORK 10022-2585  
DOCKET NO.: NECE 20.780 (100806-00243)  
TELEPHONE: (212) 940-8800

I HEREBY CERTIFY THAT THIS CORRESPONDENCE  
IS BEING DEPOSITED WITH THE UNITED STATES  
POSTAL SERVICE AS FIRST CLASS MAIL IN AN  
ENVELOPE ADDRESSED TO: COMMISSIONER OF  
PATENTS AND TRADEMARKS, WASHINGTON, D.C.  
20231, ON THE DATE INDICATED BELOW.

BY

DATE

  
January 6, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月    6 日  
Date of Application:

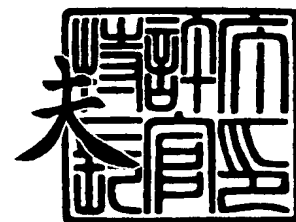
出 願 番 号                      特 願 2 0 0 2 - 3 5 4 9 9 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 5 4 9 9 3 ]

出      願      人                      エルピーダメモリ株式会社  
Applicant(s):

2 0 0 3 年 1 2 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310096

【提出日】 平成14年12月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/407

【発明者】

    【住所又は居所】 東京都中央区八重洲 2 - 2 - 1  
                        エルピーダメモリ株式会社内

    【氏名】 荒井 実成

【特許出願人】

    【識別番号】 500174247

    【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

    【識別番号】 100096105

    【弁理士】

    【氏名又は名称】 天野 広

    【電話番号】 03(5484)2241

【手数料の表示】

    【予納台帳番号】 038830

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0118446

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 実回路の入力回路と、

実回路の出力回路と、

前記実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、

前記実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、

を備える半導体集積回路装置において、

外部トリガにより動作する発振回路と、

前記発振回路から出力され、前記実回路の入力回路及び前記実回路の出力回路を通過した信号と、前記発振回路から出力され、前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路を通過した信号とを比較し、前記実回路の入力回路及び前記実回路の出力回路と前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路との間の遅延誤差を検出するスキュー比較回路と、

を備え、

前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路は、前記スキュー比較回路が検出した遅延誤差に応じて遅延を調整されるものであることを特徴とする半導体集積回路装置。

【請求項 2】 実回路の入力回路と、

実回路の出力回路と、

前記実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、

前記実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、

を備える半導体集積回路装置において、

外部トリガにより動作する発振回路と、

前記発振回路から出力され、前記実回路の出力回路を通過した信号と、前記発振回路から出力され、前記出力回路のレプリカ回路を通過した信号とを比較し、前記実回路の出力回路と前記出力回路のレプリカ回路との間の遅延誤差を検出するスキュー比較回路と、

を備え、

前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路は、前記スクエー比較回路が検出した遅延誤差に応じて遅延を調整されるものであることを特徴とする半導体集積回路装置。

【請求項 3】 実回路の入力回路と、

実回路の出力回路と、

前記実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、

前記実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、

を備える半導体集積回路装置において、前記実回路の入力回路及び前記実回路の出力回路と前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路との間の遅延誤差を検出する方法であって、

基準信号を発振する第一の過程と、

前記基準信号を前記実回路の入力回路及び前記実回路の出力回路を通過させる第二の過程と、

前記基準信号を前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路を通過させる第三の過程と、

前記第二の過程を経た前記基準信号と前記第三の過程とを経た前記基準信号とを比較し、前記実回路の入力回路及び前記実回路の出力回路と前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路との間の遅延誤差を検出する第四の過程と

を備えることを特徴とする半導体集積回路装置における遅延誤差検出方法。

【請求項 4】 実回路の入力回路と、

実回路の出力回路と、

前記実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、

前記実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、

を備える半導体集積回路装置において、前記実回路の入力回路及び前記実回路の出力回路と前記入力回路のレプリカ回路及び前記出力回路のレプリカ回路との間の遅延誤差を検出する方法であって、

基準信号を発振する第一の過程と、

前記基準信号を前記実回路の出力回路を通過させる第二の過程と、

前記基準信号を前記出力回路のレプリカ回路を通過させる第三の過程と、  
前記第二の過程を経た前記基準信号と前記第三の過程とを経た前記基準信号とを比較し、前記実回路の出力回路と前記出力回路のレプリカ回路との間の遅延誤差を検出する第四の過程と

を備えることを特徴とする半導体集積回路装置における遅延誤差検出方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、実回路とそのレプリカ回路とを有する半導体集積回路装置に関し、特に、実回路とレプリカ回路との間の遅延誤差を検出し、かつ、補正することが可能な半導体集積回路装置に関する。

【0 0 0 2】

【従来の技術】

一般に、出力タイミング及び入力タイミングの位相を調整するために、DLL (Delay Locked Loop) やPLL (Phase Locked Loop) その他の遅延・位相同期回路を用いる半導体集積回路装置においては、その遅延や位相を調整するために出力回路及び入力回路のそれぞれのレプリカ回路を有するものとして構成されている（例えば、特許文献1参照）。

【0 0 0 3】

図10は、出力回路のレプリカ回路及び入力回路のレプリカ回路を有する遅延・位相同期回路を備えた従来の半導体集積回路装置の一例を示すブロック図である。

【0 0 0 4】

図10に示す半導体集積回路装置は、データが入出力されるとともに、IO1信号を出力する第一パッド01Kと、データが入出力されるとともに、IO2信号を出力する第二パッド02Kと、第一入力回路03Kと、第二入力回路04Kと、第一出力回路05Kと、第二出力回路06Kと、遅延・位相同期回路09Kと、から構成されている。

【0 0 0 5】

第一入力回路 03 K は、VREF 信号をリファレンスレベルとして入力し、第一パッド 01 K から出力された I/O1 信号を増幅し、DIN1 信号として出力する。

【0006】

第二入力回路 04 K は、VREF 信号をリファレンスレベルとして入力し、第二パッド 02 K から出力された I/O2 信号を増幅し、DIN2 信号として出力する。

【0007】

第一出力回路 05 K は、出力 Enable 信号の OE 信号と DATA1 信号とを受信し、OUT1 信号を I/O1 信号として第一パッド 01 K に出力する。

【0008】

第二出力回路 06 K は、出力 Enable 信号の OE 信号と DATA2 信号とを受信し、OUT2 信号を I/O2 信号として第二パッド 02 K に出力する。

【0009】

遅延・位相同期回路 09 K は、その内部において、出力回路のレプリカ回路 07 K と、入力回路のレプリカ回路 08 K と、を備えている。

【0010】

出力回路のレプリカ回路 07 K は、DCLK 信号を入力し、ROD 信号を出力する。

【0011】

入力回路のレプリカ回路 08 K は、VREF 信号をリファレンスレベルとして入力し、出力回路のレプリカ回路 07 K の出力信号 ROD 信号を増幅し、REPD 信号を出力する。

【0012】

第一出力回路 05 K 及び第二出力回路 06 K が入力する DATA1 信号及び DATA2 信号は遅延・位相同期回路 09 K により遅延され、または、位相が同期化された信号に同期化された DATA 信号である。

【0013】

図 10 に示した従来の回路における出力回路のレプリカ回路 07 K 及び入力回

路のレプリカ回路 08K をインバータやバッファその他の遅延素子により構成し、実回路パスと同等の遅延値を構成する場合の構成例を図 11 示す。

#### 【0014】

この場合、出力回路のレプリカ回路 07K と入力回路のレプリカ回路 08K はともに図 11 に示す構成を有する。

#### 【0015】

図 11 に示す出力回路のレプリカ回路 07K または入力回路のレプリカ回路 08K は、RIN 信号を入力し、RID1 信号を出力する第一バッファ素子 01L と、第一バッファ素子 01L が出力した RID1 信号を入力し、RID2 信号を出力する第二バッファ素子 02L と、第二バッファ素子 02L が出力した RID2 信号を入力し、RID3 信号を出力する第三バッファ素子 03L と、第三バッファ素子 03L が出力した RID3 信号を入力し、ROUT 信号を出力する第四バッファ素子 04L と、から構成されている。

#### 【0016】

#### 【特許文献 1】

特開 2001-126474 号公報（第 5-11 頁）

#### 【0017】

#### 【発明が解決しようとする課題】

これらの出力回路のレプリカ回路 07K 及び入力回路のレプリカ回路 08K は、遅延・位相同期化のための実際の回路（以下、「実回路」と呼ぶ）と同じ特性を示す必要がある。仮に、レプリカ回路と実回路との間で特性が一致しないと、データの出力位置がずれてしまうことになる。

#### 【0018】

しかしながら、実際には、レプリカ回路と実回路との間のレイアウトの位置の相違、電源供給状態の相違、拡散条件の相違その他の相違点に起因して、レプリカ回路と実回路との間に誤差が生じることは避けられない。

#### 【0019】

本発明は、このような問題点に鑑みてなされたものであり、レプリカ回路と実回路との間に生じた誤差を補正することが可能な半導体集積回路装置を提供する



ことを目的とする。

#### 【0020】

##### 【課題を解決するための手段】

この目的を達成するため、本発明は、実回路の入力回路と、実回路の出力回路と、実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、を備える半導体集積回路装置において、外部トリガにより動作する発振回路と、発振回路から出力され、実回路の入力回路及び実回路の出力回路を通過した信号と、発振回路から出力され、入力回路のレプリカ回路及び出力回路のレプリカ回路を通過した信号とを比較し、実回路の入力回路及び実回路の出力回路と入力回路のレプリカ回路及び出力回路のレプリカ回路との間の遅延誤差を検出するスキュー比較回路と、を備え、入力回路のレプリカ回路及び出力回路のレプリカ回路は、スキュー比較回路が検出した遅延誤差に応じて遅延を調整されるものであることを特徴とする半導体集積回路装置を提供する。

#### 【0021】

また、本発明は、実回路の入力回路と、実回路の出力回路と、実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、を備える半導体集積回路装置において、外部トリガにより動作する発振回路と、発振回路から出力され、実回路の出力回路を通過した信号と、発振回路から出力され、出力回路のレプリカ回路を通過した信号とを比較し、実回路の出力回路と出力回路のレプリカ回路との間の遅延誤差を検出するスキュー比較回路と、を備え、入力回路のレプリカ回路及び出力回路のレプリカ回路は、スキュー比較回路が検出した遅延誤差に応じて遅延を調整されるものであることを特徴とする半導体集積回路装置を提供する。

#### 【0022】

さらに、本発明は、実回路の入力回路と、実回路の出力回路と、実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、を備える半導体集積回路装置において、実回路の入力回路及び実回路の出力回路と入力回路のレプリカ回路及び出力

回路のレプリカ回路との間の遅延誤差を検出する方法であって、基準信号を発振する第一の過程と、基準信号を実回路の入力回路及び実回路の出力回路を通過させる第二の過程と、基準信号を入力回路のレプリカ回路及び出力回路のレプリカ回路を通過させる第三の過程と、第二の過程を経た基準信号と第三の過程とを経た基準信号とを比較し、実回路の入力回路及び実回路の出力回路と入力回路のレプリカ回路及び出力回路のレプリカ回路との間の遅延誤差を検出する第四の過程とを備えることを特徴とする半導体集積回路装置における遅延誤差検出方法を提供する。

### 【 0 0 2 3 】

さらに、本発明は、実回路の入力回路と、実回路の出力回路と、実回路の入力回路と同等の特性を有する入力回路のレプリカ回路と、実回路の出力回路と同等の特性を有する出力回路のレプリカ回路と、を備える半導体集積回路装置において、実回路の入力回路及び実回路の出力回路と入力回路のレプリカ回路及び出力回路のレプリカ回路との間の遅延誤差を検出する方法であって、基準信号を発振する第一の過程と、基準信号を実回路の出力回路を通過させる第二の過程と、基準信号を出力回路のレプリカ回路を通過させる第三の過程と、第二の過程を経た基準信号と第三の過程とを経た基準信号とを比較し、実回路の出力回路と出力回路のレプリカ回路との間の遅延誤差を検出する第四の過程とを備えることを特徴とする半導体集積回路装置における遅延誤差検出方法を提供する。

### 【 0 0 2 4 】

#### 【発明の実施の形態】

#### （第一の実施形態）

図 1 は、本発明の第一の実施形態に係る半導体集積回路装置 1 0 0 のブロック図である。

### 【 0 0 2 5 】

本実施形態に係る半導体集積回路装置 1 0 0 は、第一パッド 0 1 A と、第二パッド 0 2 A と、第一入力回路 0 3 A と、第二入力回路 0 4 A と、第一出力回路 0 5 A と、第二出力回路 0 6 A と、第一セレクト回路 0 7 A と、第二セレクト回路 0 8 A と、第三セレクト回路 0 9 A と、スキュー比較回路 1 0 A と、遅延・位相

同期回路 13A と、OR 素子 14A と、発振回路 15A と、から構成されている。

#### 【0026】

データは第一パッド 01A 及び第二パッド 02A を介して入出力される。また、第一パッド 01A は IO1 信号を出力し、第二パッド 02A は IO2 信号を出力する。

#### 【0027】

第一入力回路 03A は、VREF 信号をリファレンスレベルとして入力し、第一パッド 01A から出力された IO1 信号を増幅し、DIN1 信号として出力する。

#### 【0028】

第二入力回路 04A は、VREF 信号をリファレンスレベルとして入力し、第二パッド 02A から出力された IO2 信号を増幅し、DIN2 信号として出力する。

#### 【0029】

第一出力回路 05A は、出力 Enable 信号の OE 信号を受信し、OUT1 信号を IO1 信号として第一パッド 01A に出力する。

#### 【0030】

第二出力回路 06A は、出力 Enable 信号の OE 信号を受信し、OUT2 信号を IO2 信号として第二パッド 02A に出力する。

#### 【0031】

第一セレクト回路 07A は、スキュー比較回路 10A から出力される CMRES 出力信号と DATA1 信号と DLAD 信号とを受信し、DLAD 信号に応じて、CMRES 出力信号及び DATA1 信号の何れかを選択し、選択した CMRES 出力信号または DATA1 信号を OUT1 信号として、第一出力回路 05A に出力する。

#### 【0032】

第二セレクト回路 08A は、発振回路 15A から出力される ADCLK 信号と DATA2 信号と DLAD 信号とを受信し、DLAD 信号に応じて、ADCLK

信号及び DATA 2 信号の何れかを選択し、選択した ADC L K 信号または DATA 2 信号を OUT 2 信号として、第二出力回路 0 6 A に出力する。

#### 【 0 0 3 3 】

第三セクタ回路 0 9 A は、発振回路 1 5 A から出力される ADC L K 信号と D I C K 信号と DLAD 信号とを受信し、DLAD 信号に応じて、ADC L K 信号及び D I C K 信号の何れかを選択し、選択した ADC L K 信号または D I C K 信号を DC L K 信号として、遅延・位相同期回路 1 3 A に出力する。

#### 【 0 0 3 4 】

スキュー比較回路 1 0 A は、遅延・位相同期回路 1 3 A のレプリカ回路を通過した ADREP 信号のスキューと第二入力回路 0 4 A から出力される D I N 2 信号のスキューとを比較し、比較結果を示す CMRES 信号を第一セクタ回路 0 7 A に出力する。

#### 【 0 0 3 5 】

遅延・位相同期回路 1 3 A はその内部に出力回路のレプリカ回路 1 1 A と入力回路のレプリカ回路 1 2 A とを備えている。

#### 【 0 0 3 6 】

出力回路のレプリカ回路 1 1 A は、第三セクタ回路 0 9 A から DC L K 信号を受信し、入力回路のレプリカ回路 1 2 A に ROD 信号を出力する。出力回路のレプリカ回路 1 1 A の特性は、レジスタ信号 R 1、R 2、R 3 信号を出力回路のレプリカ回路 1 1 A に送信することにより、調整することが可能である。

#### 【 0 0 3 7 】

入力回路のレプリカ回路 1 2 A は、入力した VREF 信号をリファレンスレベルとして出力回路のレプリカ回路 1 1 A から出力された ROD 信号を増幅し、ADREP 信号としてスキュー比較回路 1 0 A に出力する。入力回路のレプリカ回路 1 2 A の特性は、レジスタ信号 R 4、R 5、R 6 信号を入力回路のレプリカ回路 1 2 A に送信することにより、調整することが可能である。

#### 【 0 0 3 8 】

OR 素子 1 4 A は、DLON 信号と DLAD 信号とを入力し、これらの二つの信号の OR 論理により、遅延・位相同期回路 1 3 A を活性化させる DLLON 信

号を出力する。

#### 【0039】

発振回路15Aは、DLAD信号により活性化し、ADCLK信号を第二セクタ回路08A及び第三セクタ回路09Aに出力する。

#### 【0040】

第一セクタ回路07A及び第二セクタ回路08Aがそれぞれ入力するDATA1信号及びDATA2信号は遅延・位相同期回路13Aにより遅延され、または、位相が同期化された信号に同期化されたDATA信号である。

#### 【0041】

図2は、スキュー比較回路10Aの構造を示すブロック図である。

#### 【0042】

スキュー比較回路10Aは、第一トランスファゲート01Cと、第二トランスファゲート04Cと、第三トランスファゲート06Cと、第四トランスファゲート07Cと、第五トランスファゲート10Cと、第六トランスファゲート13Cと、第七トランスファゲート14Cと、第一インバータ02Cと、第二インバータ03Cと、第三インバータ05Cと、第四インバータ08Cと、第五インバータ09Cと、第六インバータ11Cと、第七インバータ12Cと、第八インバータ15Cと、から構成されている。

#### 【0043】

第一トランスファゲート01Cを構成するPMOSトランジスタのゲートはGNDに、NMOSトランジスタのゲートは電源にそれぞれ接続されており、PMOSトランジスタ及びNMOSトランジスタのソースにはDIN2信号が、ドレインにはINL信号がそれぞれ印加される。

#### 【0044】

第二トランスファゲート04Cを構成するPMOSトランジスタのゲートにはINL信号が、NMOSトランジスタのゲートにはINLB信号がそれぞれ印加され、PMOSトランジスタ及びNMOSトランジスタのソースにはDT信号が、ドレインにはDR信号がそれぞれ印加される。

#### 【0045】

第三トランスファゲート 0 6 C を構成する PMOS トランジスタのゲートには INLB 信号が、NMOS トランジスタのゲートには INL 信号がそれぞれ印加され、PMOS トランジスタ及び NMOS トランジスタのソースには DRB 信号が、ドレインには CMRB 信号がそれぞれ印加される。

**【 0 0 4 6 】**

第四トランスファゲート 0 7 C を構成する PMOS トランジスタのゲートには INLB 信号が、NMOS トランジスタのゲートには INL 信号がそれぞれ印加され、PMOS トランジスタ及び NMOS トランジスタのソースには DRL 信号が、ドレインには DR 信号がそれぞれ印加される。

**【 0 0 4 7 】**

第五トランスファゲート 1 0 C を構成する PMOS トランジスタのゲートには INLB 信号が、NMOS トランジスタのゲートには INL 信号がそれぞれ印加され、PMOS トランジスタ及び NMOS トランジスタのソースには DT 信号が、ドレインには DF 信号がそれぞれ印加される。

**【 0 0 4 8 】**

第六トランスファゲート 1 3 C を構成する PMOS トランジスタのゲートには INL 信号が、NMOS トランジスタのゲートには INLB 信号がそれぞれ印加され、PMOS トランジスタ及び NMOS トランジスタのソースには DFD 信号が、ドレインには CMRB 信号がそれぞれ印加される。

**【 0 0 4 9 】**

第七トランスファゲート 1 4 C を構成する PMOS トランジスタのゲートには INL 信号が、NMOS トランジスタのゲートには INLB 信号がそれぞれ印加され、PMOS トランジスタ及び NMOS トランジスタのソースには DFL 信号が、ドレインには DF 信号がそれぞれ印加される。

**【 0 0 5 0 】**

第一インバータ 0 2 C は、DIN2 信号を入力し、INLB 信号を出力する。

**【 0 0 5 1 】**

第二インバータ 0 3 C は、ADREP 信号を入力し、DT 信号を出力する。

**【 0 0 5 2 】**

第三インバータ 05C は、DR 信号を入力し、DRB 信号を出力する。

【0053】

第四インバータ 08C は、DRB 信号を入力し、DRL 信号を出力する。

【0054】

第五インバータ 09C は、CMRB 信号を入力し、CMRES 信号を出力する。

【0055】

第六インバータ 11C は、DF 信号を入力し、DFB 信号を出力する。

【0056】

第七インバータ 12C は、DFB 信号を入力し、DFD 信号を出力する。

【0057】

第八インバータ 15C は、DFB 信号を入力し、DFL 信号を出力する。

【0058】

図 3 は、第一出力回路 05A の構造の一例を示すブロック図である。

【0059】

第一出力回路 05A は、OUTJ 信号と OE 信号とを入力し、PCTR 信号を出力する NAND 素子 01D と、OE 信号を入力し、OEB 信号を出力するインバータ 02D と、OUTJ 信号と OEB 信号とを入力し、NCTR 信号を出力する NOR 素子 03D と、PMOS トランジスタ 04D と、NMOS トランジスタ 05D と、から構成されている。

【0060】

PMOS トランジスタ 04D のゲートには PCTR 信号が、ドレインには IOJ 信号がそれぞれ印加され、ソースは電源に接続されている。

【0061】

NMOS トランジスタ 05D のゲートには NCTR 信号が、ドレインには IOJ 信号がそれぞれ印加され、ソースは接地 (GND) されている。

【0062】

第二出力回路 06A は第一出力回路 05A と同一の構造を有している。

【0063】

図4は、第一入力回路03Aの構造の一例を示すブロック図である。

【0064】

第一入力回路03Aは、VREF信号をリファレンスレベルとしてIOJ信号を差動増幅し、IN1信号を出力する差動増幅器01Eと、IN1信号を入力し、IN2信号を出力するインバータ02Eと、IN2信号を入力し、DINJ信号を出力するインバータ03Eと、から構成される。

【0065】

第二入力回路04Aは第一入力回路03Aと同一の構造を有している。

【0066】

図5は、出力回路のレプリカ回路11Aの構造の一例を示すブロック図である。

【0067】

出力回路のレプリカ回路11Aは、第一インバータ01Fと、第二インバータ02Fと、第三インバータ15Fと、第一NAND素子03Fと、第二NAND素子04Fと、第三NAND素子05Fと、第一NOR素子06Fと、第二NOR素子07Fと、第三NOR素子08Fと、第一PMOSトランジスタ09Fと、第二PMOSトランジスタ10Fと、第三PMOSトランジスタ11Fと、第一NMOSトランジスタ12Fと、第二NMOSトランジスタ13Fと、第三NMOSトランジスタ14Fと、第四NMOSトランジスタ16Fと、から構成されている。

【0068】

第一インバータ01Fは、R1信号を入力し、R1B信号を出力する。

【0069】

第二インバータ02Fは、R2信号を入力し、R2B信号を出力する。

【0070】

第三インバータ15Fは、R3信号を入力し、R3B信号を出力する。

【0071】

第一NAND素子03Fは、DCLK信号とR2信号とを入力し、ROBP2信号を出力する。



**【0072】**

第二NAND素子04Fは、DCLK信号を入力し、かつ、入力端子が電源に接続されており、ROBPD信号を出力する。

**【0073】**

第三NAND素子05Fは、DCLK信号とR1B信号とを入力し、ROBP1信号を出力する。

**【0074】**

第一NOR素子06Fは、DCLK信号とR1信号とを入力し、ROBN1信号を出力する。

**【0075】**

第二NOR素子07Fは、DCLK信号を入力し、かつ、入力端子が接地（GND）されており、ROBND信号を出力する。

**【0076】**

第三NOR素子08Fは、DCLK信号とR2B信号とを入力し、ROBN2信号を出力する。

**【0077】**

第一PMOSトランジスタ09FのゲートにはROBP2信号が、ドレインにはROD信号がそれぞれ印加され、ソースは電源に接続されている。

**【0078】**

第二PMOSトランジスタ10FのゲートにはROBPD信号が、ドレインにはROD信号がそれぞれ印加され、ソースは電源に接続されている。

**【0079】**

第三PMOSトランジスタ11FのゲートにはROBP1信号が、ドレインにはROD信号がそれぞれ印加され、ソースは電源に接続されている。

**【0080】**

第一NMOSトランジスタ12FのゲートにはROBN1信号が、ドレインにはROD信号がそれぞれ印加され、ソースは接地（GND）されている。

**【0081】**

第二NMOSトランジスタ13FのゲートにはROBND信号が、ドレインに

は R O D 信号がそれぞれ印加され、ソースは接地 (G N D) されている。

【0082】

第三 N M O S トランジスタ 14 F のゲートには R O B N 2 信号が、ドレインには R O D 信号がそれぞれ印加され、ソースは接地 (G N D) されている。

【0083】

第四 N M O S トランジスタ 16 F のゲートには R O D 信号が、ソース及びドレインには R 3 B 信号がそれぞれ印加されている。

【0084】

図 6 は、入力回路のレプリカ回路 12 A の構造の一例を示すブロック図である。

【0085】

入力回路のレプリカ回路 12 A は、差動増幅器 01 G と、第一インバータ 02 G と、第二インバータ 03 G と、第三インバータ 04 G と、第四インバータ 09 G と、第五インバータ 11 G と、第一 P M O S トランジスタ 05 G と、第二 P M O S トランジスタ 06 G と、第一 N M O S トランジスタ 07 G と、第二 N M O S トランジスタ 08 G と、第三 N M O S トランジスタ 10 G と、第四 N M O S トランジスタ 11 G と、から構成されている。

【0086】

差動増幅器 01 G は、V R E F 信号をリファレンスレベルとして R O D 信号を差動増幅し、R R 1 信号を出力する。

【0087】

第一インバータ 02 G は、R R 1 信号を入力し、R R 2 信号を出力する。

【0088】

第二インバータ 03 G は、R 4 信号を入力し、信号を出力する。

【0089】

第三インバータ 04 G は、R R 2 信号を入力し、A D R E P 信号を出力する。

【0090】

第四インバータ 09 G は、R 5 信号を入力し、R 5 B 信号を出力する。

【0091】

第五インバータ 11G は、R6 信号を入力し、R6B 信号を出力する。

【0092】

第一PMOSトランジスタ05GのゲートにはR4B信号が印加され、ソースは電源に接続され、ドレインは第二PMOSトランジスタ06Gのソースに接続されている。

【0093】

第二PMOSトランジスタ06GのゲートにはRR2信号が、ドレインにはADREP信号がそれぞれ印加され、ソースは第一PMOSトランジスタ05Gのドレインに接続されている。

【0094】

第三PMOSトランジスタ07GのゲートにはR4信号が印加され、ソースは接地（GND）され、ドレインは第二NMOSトランジスタ08Gのソースに接続されている。

【0095】

第二NMOSトランジスタ08GのゲートにはRR2信号が、ドレインにはADREP信号がそれぞれ印加され、ソースは第三PMOSトランジスタ07Gのドレインに接続されている。

【0096】

第三NMOSトランジスタ10GのゲートにはADREP信号が、ソース及びドレインにはR5B信号がそれぞれ印加される。

【0097】

第四NMOSトランジスタ12GのゲートにはADREP信号が、ソース及びドレインにはR6B信号がそれぞれ印加される。

【0098】

図7は、発振回路15Aの構造の一例を示すブロック図である。

【0099】

発振回路15Aは、DLAD信号とOS5信号とを入力し、OS1信号を出力するNAND素子01Hと、OS1信号を入力し、OS2信号を出力する第一バッファ素子02Hと、OS2信号を入力し、OS3信号を出力する第二バッファ

素子 03H と、OS3 信号を入力し、OS4 信号を出力する第三バッファ素子 04H と、OS4 信号を入力し、OS5 信号を出力する第四バッファ素子 05H と、OS3 信号を入力し、ADCLK 信号を出力するインバータ 06H と、から構成されている。

#### 【0100】

図 8 は、出力回路のレプリカ回路 11A 及び入力回路のレプリカ回路 12A をインバータやバッファその他の遅延素子により構成し、実回路パスと同等の遅延値を実現する遅延回路の一例のブロック図である。

#### 【0101】

出力回路のレプリカ回路 11A と入力回路のレプリカ回路 12A の何れを用いても、遅延回路は同様の構成になる。

#### 【0102】

この遅延回路は、RIN 信号を入力し、RID1 信号を出力する第一バッファ素子 01J と、RID1 信号を入力し、RID2 信号を出力する第二バッファ素子 02J と、RID2 信号を入力し、RID3 信号を出力する第三バッファ素子 03J と、RID3 信号を入力し、ROUT 信号を出力する第四バッファ素子 04J と、ゲートには RID1 信号が、ソース及びドレインには RS1 信号がそれぞれ印加される第一 NMOS トランジスタ 05J と、RS2 信号を入力し、RS2B 信号を出力する第一インバータ 06J と、ゲートには RID2 信号が、ソース及びドレインには RS2B 信号がそれぞれ印加される第二 NMOS トランジスタ 07J と、RS3 信号を入力し、RS3B 信号を出力する第二インバータ 08J と、ゲートには RID3 信号が、ソース及びドレインには RS3B 信号がそれぞれ印加される第三 NMOS トランジスタ 09J と、から構成されている。

#### 【0103】

この遅延回路を出力回路のレプリカ回路 11A として構成する場合には、RIN 信号が DCLK 信号に、ROUT 信号が ROD 信号にそれぞれ代わる。

#### 【0104】

また、この遅延回路を入力回路のレプリカ回路 12A として構成する場合には、RIN 信号が ROD 信号に、ROUT 信号が ADCLK 信号にそれぞれ代わる

。この場合、入力回路のレプリカ回路 1 2 A に入力されるリファレンスレベルである V R E F 信号は必要としない。

#### 【 0 1 0 5 】

次いで、本実施形態に係る半導体集積回路装置 1 0 0 の動作を以下に説明する。

#### 【 0 1 0 6 】

テストモードや外部トリガにより生成される D L A D 信号を活性化することにより、実動作時に使用する周波数を発生する発振回路 1 5 A を活性化する。

#### 【 0 1 0 7 】

また、D L A D 信号が活性化されると、第一セクタ回路 0 7 A は C M R E S 信号を、第二セクタ回路 0 8 A は A D C L K 信号を、第三セクタ回路 0 9 A は A D C L K 信号をそれぞれ選択する。

#### 【 0 1 0 8 】

これにより、発振回路 1 5 A から出力された A D C L K 信号は、第二セクタ 0 8 A、第二出力回路 0 6 A、第二入力回路 0 4 A を通過して D I N 2 信号となり、スキュー比較回路 1 0 A に入力される。このパスを実回路パスと呼ぶ。

#### 【 0 1 0 9 】

また、発振回路 1 5 A から出力された A D C L K 信号は、第三セクタ 0 9 A、第二出力回路 0 6 A と同等の特性に合わせこまれた出力回路のレプリカ回路 1 1 A、第二入力回路 0 4 A と同等の特性となるように合わせこまれた入力回路のレプリカ回路 1 2 A を通過して A D R E P 信号となり、スキュー比較回路 1 0 A に入力される。このパスをレプリカ回路パスと呼ぶ。

#### 【 0 1 1 0 】

スキュー比較回路 1 0 A は、出力回路のレプリカ回路 1 1 A 及び入力回路のレプリカ回路 1 2 A にそれぞれ入力されているレジスタ信号 R 1 - R 3 及び R 4 - R 6 の入力状態により、レプリカ回路パスの遅延値が変化することを利用して（図 5 及び図 6 に示したように、レジスタ信号 R 1 - R 6 によりファンアウトを調整したり、容量付加により遅延値を調整することができる）、このレプリカ回路パスの遅延値が実回路パスの遅延値を超えたり、あるいは、下回ったりするとき

に CMRES 信号が変化するようなフリップ・フロップ回路を構成することにより、CMRES 信号が変化するレジスタ値を検出し、実回路パスの遅延値とレプリカ回路パスの遅延値とを同じにするレジスタ値を求めることができる。

#### 【0111】

例えば、図2に示したスキュー比較回路10Aの例を用いれば、CMRES 信号は、レプリカ回路パスの遅延値が実回路パスの遅延値を超えたときには“L”から“H”に変化し、レプリカ回路パスの遅延値が実回路パスの遅延値を下回ったときには“H”から“L”に変化する。

#### 【0112】

図2に示したように、入力信号DIN2をクロックCLKとしてADREP信号をラッチするようにしたフリップフロップにおける動作は、ADREP信号の反転信号であるDT信号、DIN2信号が第一トランスファゲート01Cを通過して形成された信号であるINL信号、DIN2信号の反転信号であるINLB信号、INL信号が“L”、INLB信号が“H”の期間内に第二トランスファゲート04CをDT信号が通過して形成された信号であるDR信号、DR信号の反転信号であるDRB信号、INL信号が“H”、INLB信号が“L”の期間内にデータを保持するための第四トランスファゲート07Cと第四インバータ08C、INL信号が“H”、INLB信号が“L”の期間内にDRB信号をCMRB信号として出力する第三トランスファゲート06C、INL信号が“H”、INLB信号が“L”の期間内に第五トランスファゲート10CをDT信号が通過して形成されるDF信号、DF信号の反転信号であるDFB信号、DFB信号の反転信号であるDFD信号、INL信号が“L”、INLB信号が“H”の期間内にデータを保持するための第七トランスファゲート14Cと第八インバータ15C、INL信号が“L”、INLB信号が“H”の期間内にDFD信号をCMRB信号として出力する第七トランスファゲート13C、CMRB信号の反転信号であるCMRES信号、によって実現される。

#### 【0113】

以上の構成により、実回路パスからの入力信号であるDIN2信号に対して、レプリカ回路パスからのADREP信号が早い場合、DIN2信号が“H”に遷

移する時にADREP信号が“H”に、DIN2信号が“L”に遷移する時にADREP信号が“L”になるので、スキュー比較回路10Aの出力信号であるCMRES信号は“L”状態となる。

#### 【0114】

一方、実回路パスからの入力信号であるDIN2信号に対して、レプリカ回路パスからのADREP信号が遅い場合、DIN2信号が“H”に遷移する時にADREP信号が“L”に、DIN2信号が“L”に遷移する時にADREP信号が“H”になるので、スキュー比較回路10Aの出力信号であるCMRES信号は“H”状態となる。

#### 【0115】

これによって、実回路パスからの入力信号であるDIN2信号とレプリカ回路パスからのADREP信号との間の遅延差を検知することができる。

#### 【0116】

このCMRES信号を第一出力回路05Aを介して第一パッド01Aに出力し、テストその他の外部測定器により判定すれば、実回路パスとレプリカ回路パスとの遅延値を一致させる一意のレジスタ値を有するレジスタ信号R1-R6を決定することができる。

#### 【0117】

また、レジスタ信号R1-R6に対応するフューズを用意しておけば、実回路パスとレプリカ回路パスの遅延値を一致させる一意のレジスタ値に対応するフューズをカットすることにより、実動作時の実回路とレプリカ回路との特性を一致させることができる。

#### 【0118】

これにより、実回路とレプリカ回路との間のレイアウトの位置の違い、電源供給状態の違い、拡散条件の違いに起因して生じる実回路とレプリカ回路との間の誤差のタイミングを補正することが可能になる。

#### 【0119】

図10に示した従来の回路においては、第一出力回路05K、第二入力回路04Kの実回路を通過したデータとの比較を行う回路は存在しなかった。そのため

、実回路とレプリカ回路との間のレイアウトの位置の違い、電源供給状態の違い、拡散条件の違いその他の要因に起因して生じる誤差を調整することはできなかった。

#### 【0120】

これに対して、本実施形態に係る半導体集積回路装置100によれば、実回路を通過したデータとレプリカ回路を通過したデータとを比較することにより、実回路とレプリカ回路との間のレイアウトの位置の違い、電源供給状態の違い、拡散条件の違いに起因して生じる実回路とレプリカ回路の誤差のタイミング補正を行うことが可能になる。

#### 【0121】

加えて、前工程であるウェハ検査時において、アクセスタイミングの調整を行うことが可能である。

#### 【0122】

(第二の実施形態)

図9は、本発明の第二の実施形態に係る半導体集積回路装置200のブロック図である。

#### 【0123】

本実施形態に係る半導体集積回路装置200は、図1に示した第一の実施形態に係る半導体集積回路装置100と比較して、第四セクタ回路16B及び第五セクタ回路17Bを追加的に備えている。第四セクタ回路16B及び第五セクタ回路17Bを追加的に備える点を除いて、本実施形態に係る半導体集積回路装置200は第一の実施形態に係る半導体集積回路装置100と同一の構造を有している。

#### 【0124】

第四セクタ回路16Bは、出力回路のレプリカ回路11Bの出力信号であるROD信号と入力回路のレプリカ回路12Bの出力信号であるADREP信号とを入力し、DLAD2信号に応じて、ROD信号及びADREP信号の何れかを選択し、選択したROD信号またはADREP信号を出力信号SIRとしてスキュー比較回路10Bに出力する。



## 【0 1 2 5】

具体的には、第四セクタ回路 1 6 B は、DLAD 2 信号が活性化された場合には ROD 信号を出力信号 S I R として出力し、DLAD 2 信号が活性化されていない場合には ADREP 信号を出力信号 S I R として出力する。

## 【0 1 2 6】

第五セクタ回路 1 7 B は、第二パッド 0 2 B からその出力信号 I O 2 を入力するとともに、第二入力回路 0 4 B からその出力信号 D I N 2 を入力し、DLAD 2 信号に応じて、出力信号 I O 2 及び出力信号 D I N 2 の何れかを選択し、選択した信号 I O 2 または信号 D I N 2 を出力信号 S I A としてスキュー比較回路 1 0 B に出力する。

## 【0 1 2 7】

具体的には、第五セクタ回路 1 7 B は、DLAD 2 信号が活性化された場合には信号 I O 2 を出力信号 S I A として出力し、DLAD 2 信号が活性化されていない場合には信号 D I N 2 を出力信号 S I A として出力する。

## 【0 1 2 8】

すなわち、DLAD 2 信号が活性化されると、スキュー比較回路 1 0 B は、第四セクタ回路 1 6 B からは ROD 信号を、第五セクタ回路 1 7 B からは I O 2 信号を入力する。これにより、スキュー比較回路 1 0 B には、セクタ 2 台分の遅延に加えて第二出力回路 0 6 B の遅延分の信号である S I A 信号、セクタ 2 台分の遅延に加えて出力回路のレプリカ回路 1 1 B の遅延分の信号 S I R 信号が入力される。

## 【0 1 2 9】

この状態の下にレジスタ信号 R 1 - R 6 信号を用いて、スキュー比較を行うことにより、出力回路のレプリカ回路 1 1 B の特性調整を行うことができ、出力回路のレプリカ回路 1 1 B の特性を実回路の出力回路と同等の特性とすることができる。

## 【0 1 3 0】

DLAD 2 信号が非活性化されると、スキュー比較回路 1 0 B は、第四セクタ回路 1 6 B からは ADREP 信号を、第五セクタ回路 1 7 B からは D I N 2

信号を入力する。

【0131】

この状態の下に、先に調整した出力回路のレプリカ回路 11B のレジスタ値を調整した値にして、入力回路のレプリカ回路 12B の遅延量を調整用レジスタ信号 R4-R6 を用いて調整する。

【0132】

これにより、入力回路のレプリカ回路 12B の特性を実回路の入力回路と同等の特性にすることができる。

【0133】

以上のように本実施形態に係る半導体集積回路装置 200 によれば、二つのセクタ回路 16B、17B を追加することにより、DLAD2 信号の活性化または非活性化に応じて、出力回路と出力回路のレプリカ回路 11B のみを比較することができる。これにより、上記の 2 回の調整により、出力回路のレプリカ回路 11B と入力回路のレプリカ回路 12B とを別々に調整することができ、さらに、特性を向上させることができる。

【0134】

【発明の効果】

従来の回路においては、出力回路及び入力回路の実回路を通過したデータとの比較を行う回路は存在しなかった。そのため、実回路とレプリカ回路との間のレイアウトの位置の違い、電源供給状態の違い、拡散条件の違いその他の要因に起因して生じる誤差を調整することは不可能であった。

【0135】

これに対して、本発明に係る半導体集積回路装置によれば、実回路を通過したデータとレプリカ回路を通過したデータとが比較される。これにより、実回路とレプリカ回路との間のレイアウトの位置の違い、電源供給状態の違い、拡散条件の違いに起因して生じる実回路とレプリカ回路の誤差のタイミング補正を行うことが可能になる。

【0136】

加えて、その誤差のタイミング補正は、前工程であるウェハ検査時において、

行うことが可能である。

### 【0137】

さらに、セレクト回路を追加することにより、選択信号の活性化または非活性化に応じて、出力回路と出力回路のレプリカ回路のみを比較することができる。これにより、出力回路のレプリカ回路と入力回路のレプリカ回路とを別々に調整することができ、さらに、特性を向上させることができる。

### 【図面の簡単な説明】

#### 【図1】

本発明の第一の実施形態に係る半導体集積回路装置のブロック図である。

#### 【図2】

第一の実施形態に係る半導体集積回路装置におけるスキュー比較回路の構造を示すブロック図である。

#### 【図3】

第一の実施形態に係る半導体集積回路装置における第一出力回路の構造の一例を示すブロック図である。

#### 【図4】

第一の実施形態に係る半導体集積回路装置における第一入力回路の構造の一例を示すブロック図である。

#### 【図5】

第一の実施形態に係る半導体集積回路装置における出力回路のレプリカ回路の構造の一例を示すブロック図である。

#### 【図6】

第一の実施形態に係る半導体集積回路装置における力回路のレプリカ回路の構造の一例を示すブロック図である。

#### 【図7】

第一の実施形態に係る半導体集積回路装置における振回路 15 A の構造の一例を示すブロック図である。

#### 【図8】

出力回路のレプリカ回路及び入力回路のレプリカ回路の一例のブロック図であ

る。

【図 9】

本発明の第二の実施形態に係る半導体集積回路装置のブロック図である。

【図 1 0】

出力回路のレプリカ回路及び入力回路のレプリカ回路を有する遅延・位相同期回路を備えた従来の半導体集積回路装置の一例を示すブロック図である。

【図 1 1】

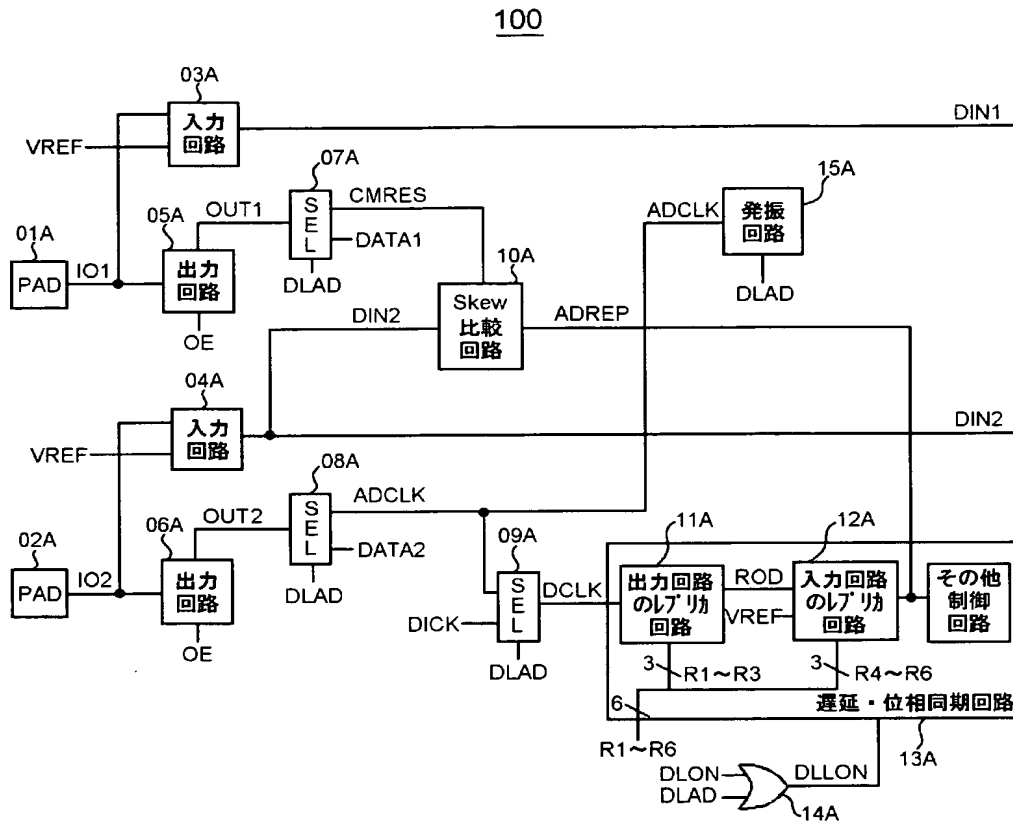
図 1 0 に示した従来の回路における出力回路のレプリカ回路及び入力回路のレプリカ回路を実回路パスと同等の遅延値を有する回路として構成した場合の構成例である。

【符号の説明】

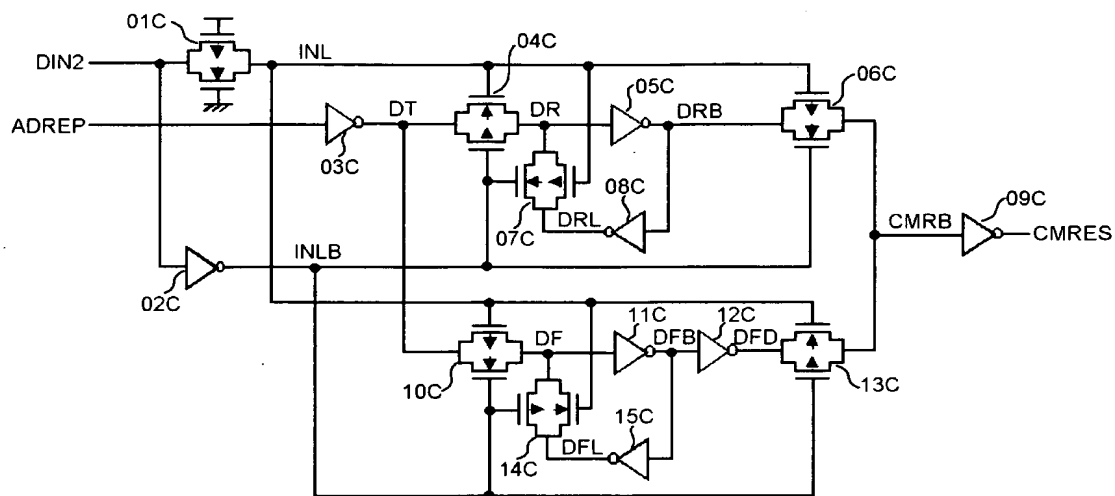
- 0 1 A 第一パッド
- 0 2 A 第二パッド
- 0 3 A 第一入力回路
- 0 4 A 第二入力回路
- 0 5 A 第一出力回路
- 0 6 A 第二出力回路
- 0 7 A 第一セレクト回路
- 0 8 A 第二セレクト回路
- 0 9 A 第三セレクト回路
- 1 0 A、1 0 B スキュー比較回路
- 1 1 A、1 1 B 出力回路のレプリカ回路
- 1 2 A、1 2 B 入力回路のレプリカ回路
- 1 3 A、1 3 B 遅延・位相同期回路
- 1 4 A、1 4 B O R 素子
- 1 5 A、1 5 B 発振回路
- 1 6 B 第四セレクト回路
- 1 7 B 第五セレクト回路

【書類名】 図面

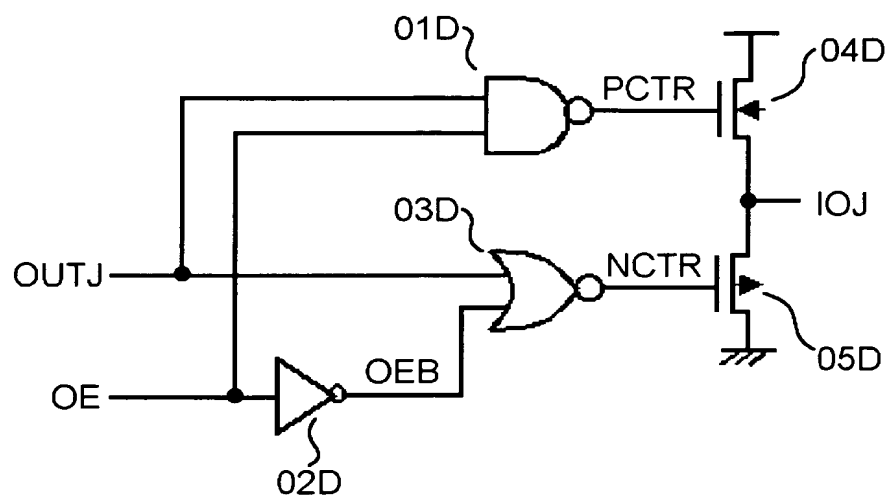
【図 1】



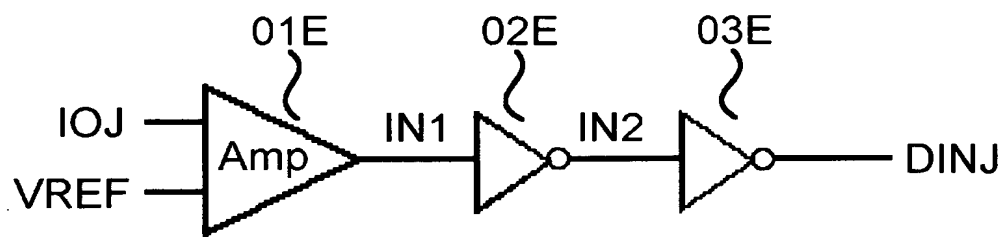
【図 2】



【図 3】

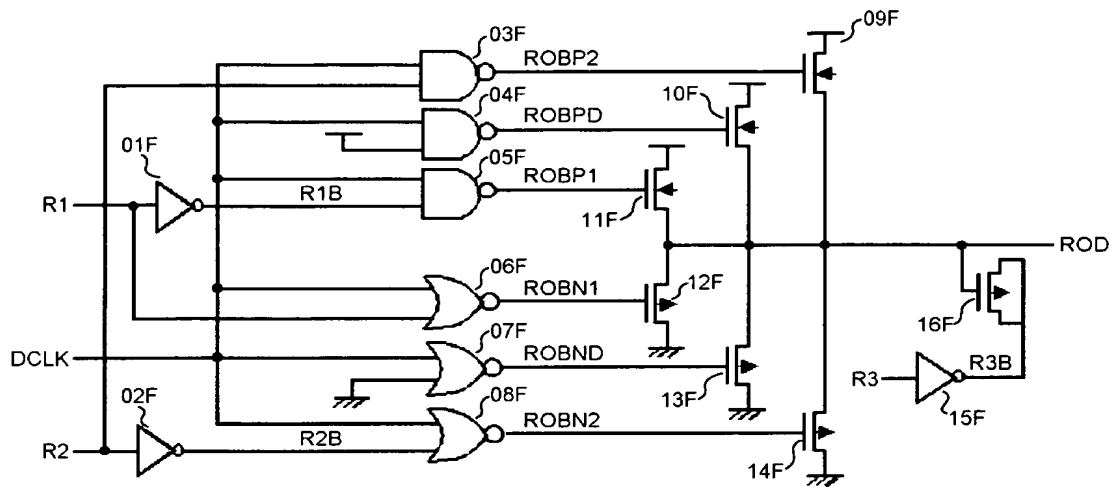


【図 4】

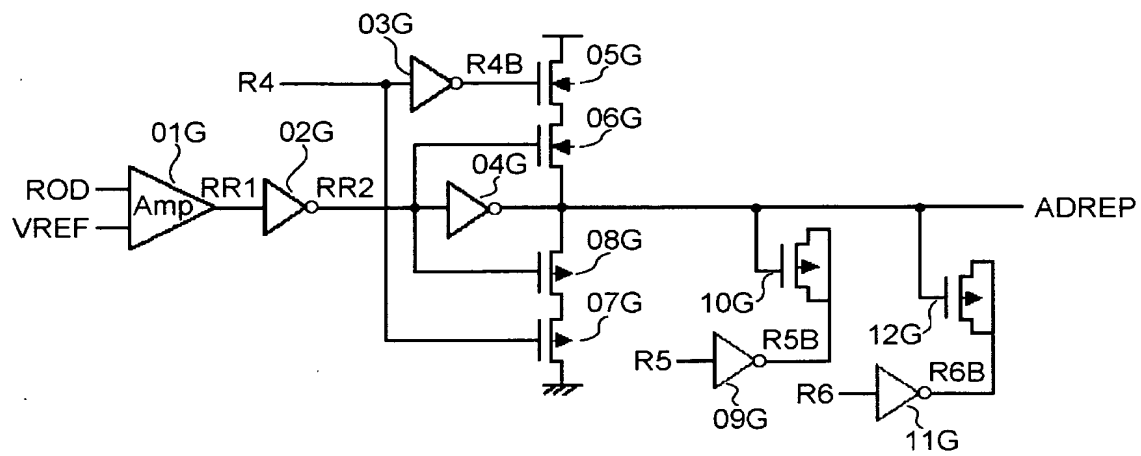




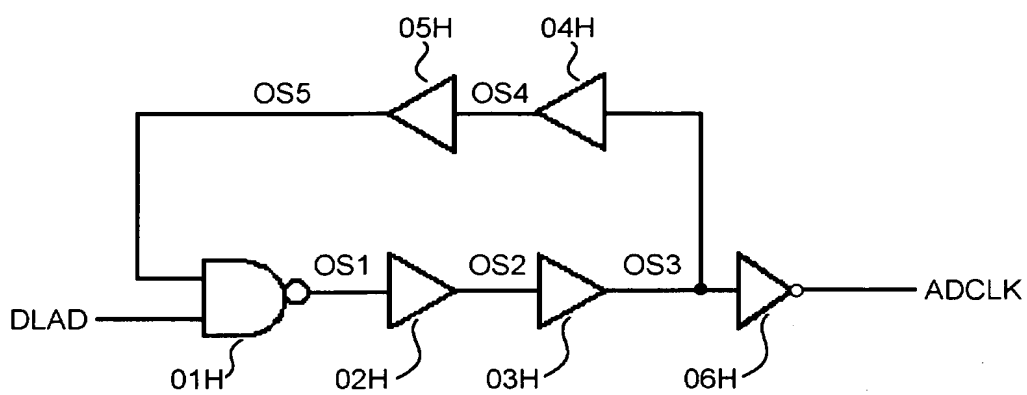
【図 5】



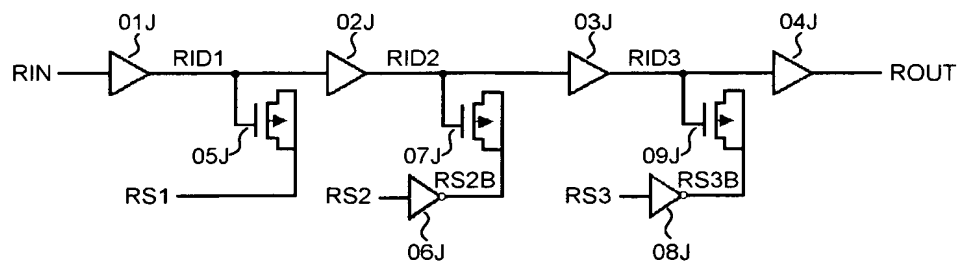
【図 6】



【図 7】

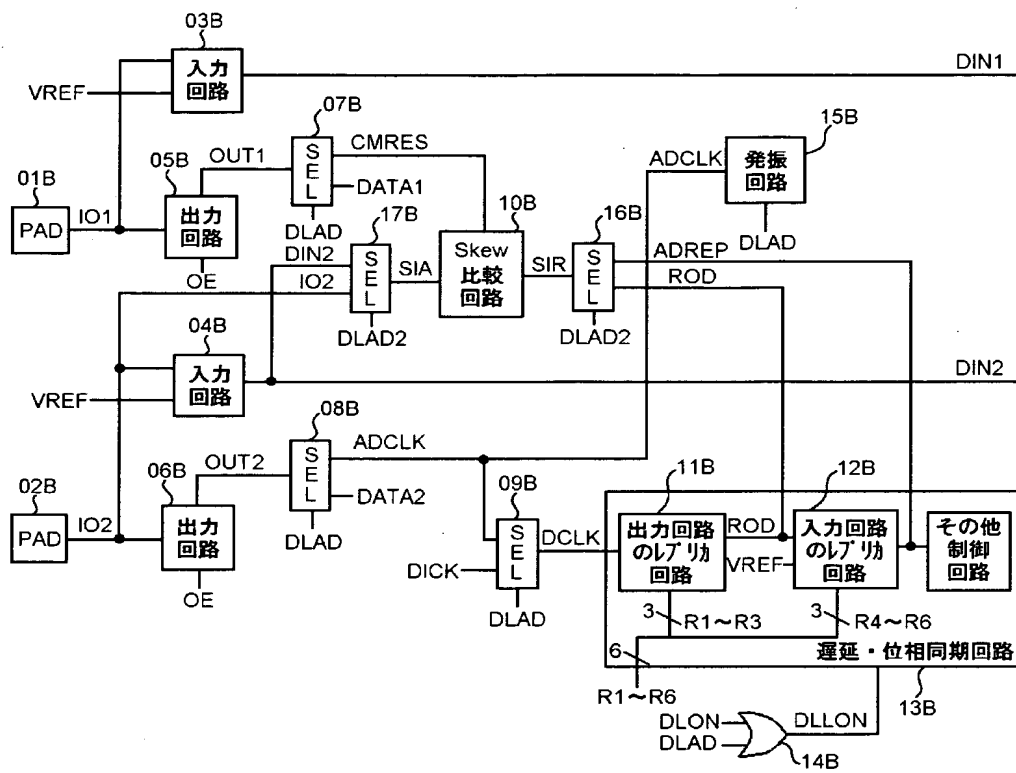


【図 8】

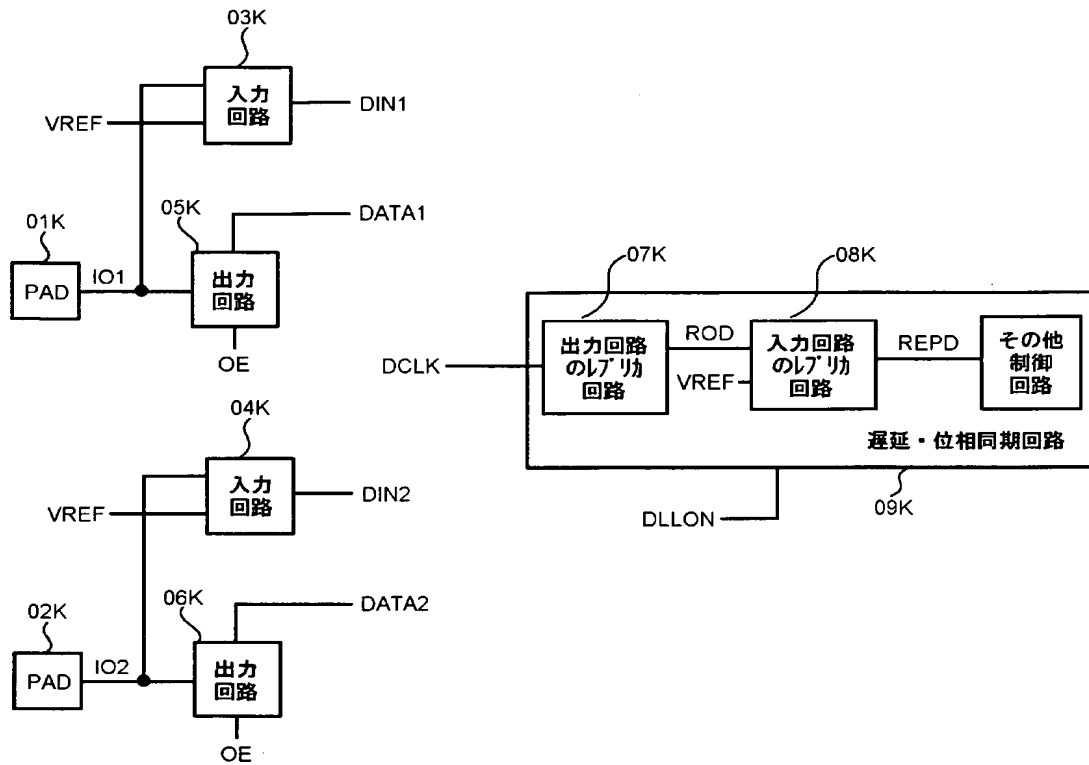


【図 9】

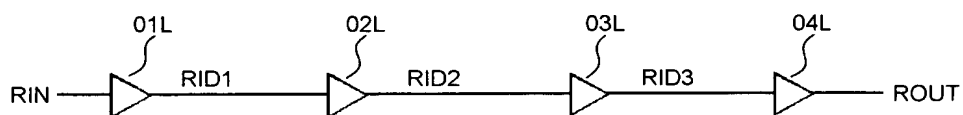
200



【図 10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 レプリカ回路と実回路との間に生じた誤差を補正することが可能な半導体集積回路装置を提供する。

【解決手段】 スキュー比較回路 1 0 A は、発振回路 1 5 A から出力され、実回路の出力回路 0 6 A 及び実回路の入力回路 0 4 A を通過した信号と、発振回路 1 5 A から出力され、入力回路のレプリカ回路 1 1 A 及び出力回路のレプリカ回路 1 2 A を通過した信号とを比較し、実回路とレプリカ回路との間の遅延誤差を検出する。

【選択図】 図 1



特願 2 0 0 2 - 3 5 4 9 9 3

出 願 人 履 歴 情 報

識別番号

[ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社